

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

3402278

Basic Patent (No,Kind,Date): JP 56059291 A2 810522 <No. of Patents: 001>

LIQUID CRYSTAL DISPLAY UNIT (English)

Patent Assignee: MATSUSHITA ELECTRIC IND CO LTD

Author (Inventor): ISHIHARA TAKESHI

IPC: \*G09G-003/36;

Language of Document: Japanese

Patent Family:

| Patent No          | Kind | Date   | Applic No   | Kind | Date           |
|--------------------|------|--------|-------------|------|----------------|
| <b>JP 56059291</b> | A2   | 810522 | JP 79135592 | A    | 791019 (BASIC) |

Priority Data (No,Kind,Date):

JP 79135592 A 791019

同知例

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭56—59291

⑤ Int. Cl.<sup>3</sup>  
G 09 G 3/36

識別記号

庁内整理番号  
7250—5C

⑬ 公開 昭和56年(1981)5月22日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑭ 液晶表示装置

門真市大字門真1006番地松下電  
器産業株式会社内

① 特 願 昭54—135592  
② 出 願 昭54(1979)10月19日  
⑦ 発 明 者 石原健

① 出 願 人 松下電器産業株式会社  
門真市大字門真1006番地  
⑦ 代 理 人 弁理士 中尾敏男 外1名

明 細 書

1、発明の名称

液晶表示装置

2、特許請求の範囲

(1) 電界効果トランジスタ群とコンデンサよりなるメモリ機能を有する絵素が二次元的に配列された液晶表示装置において、電界効果トランジスタ群として、トランスファ・ゲートと本トランスファ・ゲートの一方のドレインまたはソースがゲートに接続されたインバータとにより構成され、かつ、前記コンデンサとして、前記インバータのゲート部に形成された容量を利用することを特徴とする液晶表示装置。

(2) 少くともインバータが相補型電界効果トランジスタにより構成されていることを特徴とする特許請求の範囲第1項に記載の液晶表示装置。

3、発明の詳細な説明

本発明は、メモリ機能を有する液晶表示パネルの電極用基板として、シリコン基板を用いた場合の低消費電力化を液晶に印加される電位の安定化

を小面積のスイッチング・エレメントで行なわせることを目的としたものである。

従来、シリコン基板を一方の電極とした液晶表示パネルは、第1図に示すように、1個のFETとコンデンサよりなるFETアレイが用いられている。この動作を簡単に説明する。 $x$ はゲート信号で、シフト・レジスタにより $x_{i-1}$ 、 $x_i$ 、 $x_{i+1}$ ……という順に順次走査される。今、 $x_i$ にFET  $T_i$ をONするような電位が印加されると、コンデンサCに $V_0$ よりFET  $T_i$ を通じて充電される。この電位は液晶ドット1の一方の電極になるため電位の1、0に応じて白または黒がパネルに表示される。次に $x_i$ が切れ、 $T_i$ がOFFしてもリーク電流が極めて小さいため、電位はそのままCに保持され液晶表示もそのまま表示されている。このように $x_i$ が切れ、次に $x_{i+1}$ が入って同様の充電が行なわれ、順次液晶表示がおこなわれる。この場合、直流的な電流パスはないので消費電流は主としてコンデンサの充放電電流だけが小さい電流ですむ代りに、1秒間に30枚表示をおこな

3

うためにはコンデンサに約30msecの間電位を保つだけの電荷を蓄えなければならず、比較的大きなコンデンサを要する。通常3~6pFの容量を必要としているが、この容量をシリコンシリコン酸化膜-アルミニウムのMOS構造で得ようとするシリコン酸化膜の厚さをほぼ1000Åとして、120μm×150μm程度の面積をついやしてしまう。したがって絵素面積を大きくしてしまう欠点を有するとともに、コンデンサ電位は液晶を通じて徐々に放電されていくため液晶の抵抗値が保持時間を決定しているという不利な点を有している。

本発明はこれらの欠点を改良しようとするものである。前述の欠点を改良するために発明された本発明の第1の実施例を第2図に示す。

第2図の動作は $\phi_1$ により $T_{11}$ がONすると $\phi_j$ より電位が $T_{11}$ を通じてゲート容量 $c_1$ に充電される。この電位が $T_{12}$ の閾値電位 $V_t$ 以上になると $T_{12}$ がONし液晶ドット1にはアース電位が保持され、 $C_1$ が放電されて $c_1$ の電位が $V_t$

5

が液晶に印加される。今、 $T_{11}$ がONすると $c_1$ には $\phi_j$ の電位にしたがって充放電がおこなわれる。 $c_1$ の電位がCMOSインバータの閾値電圧(略々 $V_{DD}/2$ )より高い場合は、 $T_{12N}$ (n-chトランジスタ)がONし $T_{12P}$ (p-chトランジスタ)がOFFして液晶にはアース電位が印加される。閾値電圧より低い場合は $T_{12N}$ がOFF、 $T_{12P}$ がONして $V_{DD}$ が印加される。いずれの場合もどちらかのトランジスタがOFFしているため直流パスはなく消費電流は極めて小さい。もちろん、この構造を逆にし、P、Nchのトランジスタを入れ換えてもよいが、この場合は $V_{DD}$ の極性が逆になってくる。いずれにしてもシステムの電位構成にしたがって選択する必要がある。 $c_1$ はまた、直流的なリークパスがないため極めて小さくてすむため大面積を要しない利点がある。以上のように本発明によれば小面積でかつ消費電流が極めて小さいパネルを構成することができる。

またCMOSインバータの閾値電圧は大体電源電圧の $1/2$ で $c_1$ の変動に対して余裕が大きく動作の

4

以下になると $T_{12}$ がOFFして液晶ドットには $R_1$ を通じて $V_{DD}$ 電位が印加される。この方法では $c_1$ の電位が $V_t$ の以上、以下に応じてアース電位もしくは $V_{DD}$ 電位が一定に印加され電圧が変動する要素がない利点を奏している。 $c_1$ はトランジスタのリーク電流が極めて小さければ放電パスがない法では $T_{12}$ がONしている間は直流電流が $R_1$ を通じて流れるため消費電流が増加するので絵素数が多い場合は注意を要する。絵素数100×100の場合、ほぼ10MΩ程度が適当となる。以上はデジタル的に処理した場合であるが $T_{12}$ のON抵抗を $R_1$ の比を選択することにより、アナログ電位の保持も可能である。また $R_1$ は負荷用MOSトランジスタで構成してもよい。

本発明の第2の実施例を第3図に示す。

$T_{11}$ はトランスファ・ゲートでPchもしくはNchで構成される。もちろんCMOS構造でもよいが、本質的にはどちらでも可能で基本動作に差は殆んどない。この $T_{11}$ にCMOSインバータ $T_{12P}$ 、 $T_{12N}$ が接続され、このインバータの出力

6

安定化ができる利点も有している。

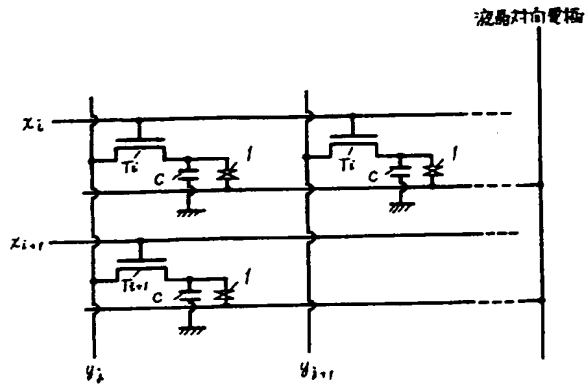
#### 4、図面の簡単な説明

第1図は従来のFETをマトリックス状に配置した液晶表示装置の一部の等価回路を示す図、第2図は本発明の一実施例による液晶表示装置の一部の等価回路を示す図、第3図は同他の実施例による液晶表示装置の一部の等価回路を示す図である。

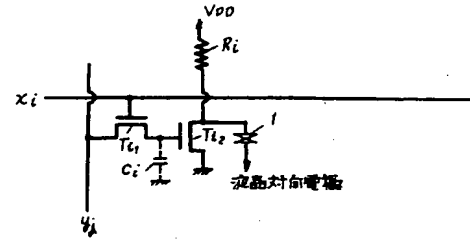
1……液晶ドット、 $c_1$ ……ゲート容量、 $T_{11}$ ……電界効果トランジスタ(トランスファ・ゲート)、 $T_{12}$ ……電界効果トランジスタ(インバータ)。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

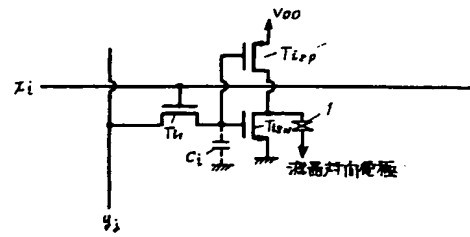
第 1 図



第 2 図



第 3 図



Japanese Patent Application Laid-Open Number: Sho 56-59291

Publication Date: May 22, 1981

Application No.: Sho 54-135592

Filing Date: October 19, 1979

Int. Class. No.: G 09 G 3/36

Inventor: Takeshi Ishihara

Applicant: Matsushita Electric Industrial Co., Ltd.

### Specification

1. Title of the invention: Liquid Crystal Display Device

2. What is claimed:

- (1) In a liquid crystal display device wherein pixels having a memory function comprising a group of field-effect transistors and a condenser are arranged two-dimensionally, a liquid crystal display device wherein a group of field-effect transistors comprise a transfer gate and an inverter in which one drain or source of the transfer gate is connected to a gate, and a capacity formed in a gate portion of said inverter is used as said condenser.
- (2) A liquid crystal display device of claim 1 wherein at least an inverter is constituted by a complementary field-effect transistor.

3. Detailed description of the invention

The present invention has a purpose to make an electric potential applied to liquid crystal stable by a small-sized switching element for reducing the consumption of electricity in case of using a silicon substrate as a substrate for an electrode of a liquid crystal display panel with a memory function.

Conventionally, an FET array comprising one FET and a condenser is used in a liquid crystal display panel wherein a silicon substrate is one electrode as shown in Figure 1. This operation is explained in brief.  $x$  is a gate signal, and is scanned in order like  $x_{i-1}$ ,  $x_i$ ,  $x_{i+1}$  ..... When an electric potential making FET  $T_i$  ON is applied to  $x_i$ , a condenser  $C$  is charged from  $y_g$  through the FET  $T_i$ . Because this electric potential is one electrode of a liquid crystal dot 1, white or black is displayed on a panel in response to 1 and 0 of the electric potential. Next, even if  $x_i$  is cut and  $T_i$  becomes OFF, a leak

current is extreme small, so that the electric potential is stored in C and liquid crystal displaying is kept. Thus,  $x_i$  is cut, and next  $x_{i+1}$  is entered to charge the condenser in the same way, consequently the liquid crystal displaying is performed in order. In this case, because there is not a direct current pass, the consumption of electric current is mainly a small charge and discharge electric current of a condenser. However, because the electrical charge which keeps the electrical potential for about 30 m sec should be stored in the condenser to display 30 sheets for one second, a relatively large condenser is needed. Normally, the capacity of 3 to 6 PF is required. In case of obtaining this capacity by MOS structure of silicon-silicon oxide film-aluminum, if a thickness of a silicon oxide film is about 1000 Å, an area of about  $120 \mu\text{m} \times 150 \mu\text{m}$  is used. Therefore, there are some defects that the resistant value of liquid crystal decides a holding time because the condenser electric potential is discharged gradually through the liquid crystal, as well as a pixel area is enlarged.

The present invention has a purpose to improve these defects. Figure 2 shows the first embodiment of the present invention to improve said defects.

An operation of Figure 2 is that an electric potential is charged in a gate capacity  $C_i$  through  $T_{11}$  from  $y_j$  when  $T_{11}$  becomes ON by  $x_i$ . When this electric potential becomes not less than a threshold voltage  $V_t$  of  $T_{12}$ ,  $T_{12}$  becomes ON and the earth electric potential is stored in a liquid crystal dot 1; when the electric potential of  $C_i$  becomes not more than  $V_t$  by discharging  $C_i$ ,  $T_{12}$  becomes OFF and the  $V_{DD}$  electric potential is applied to the liquid crystal dot through  $R_i$ . In this method, it is effective that voltage is not changed by which the earth electric potential or  $V_{DD}$  electric potential is applied constantly according to whether the electric potential of  $C_i$  which is not less than or not more than  $V_t$ . When a leak current of a transistor is extreme small, the consumption of electric current of  $C_i$  increases on the side of no discharge pass because the direct current flows through  $R_i$  while  $T_{12}$  is ON, consequently it is necessary to pay an attention in case of many pixels. When the number of pixels is  $100 \times 100$ , approximately  $10 \text{ M}\Omega$  is suitable. The above is the case of digital processing, and it is possible to store the analog electric potential by selecting the rate of  $R_i$  in ON resistance of  $T_{12}$ . Besides,  $R_i$  can be constituted by the MOS transistor for load.

The second embodiment of the present invention is shown in Figure 3.

$T_{11}$  is a transfer gate and constituted by Pch or Nch. Of course, the CMOS structure can be used, either one can be used essentially and there is no difference in a basic operation. This  $T_{11}$  is connected with CMOS inverters  $T_{12P}$  and  $T_{12N}$ , of which output is applied to liquid crystal. When  $T_{11}$  becomes ON,  $C_i$  is charged and discharged according to the electric potential of  $y_i$ . In case that the electric potential of  $C_i$  is higher than a threshold voltage of the CMOS inverter (hereinafter referred to as  $V_{DD}/2$ ),  $T_{12N}$  (n-ch transistor) becomes ON and  $T_{12P}$  (p-ch transistor) becomes OFF, so that the earth electric potential is applied to the liquid crystal. In case that it is lower than the threshold voltage,  $T_{12N}$  becomes OFF,  $T_{12P}$  becomes ON, and  $V_{DD}$  is applied. In either case, there is no direct current pass because either transistor becomes OFF, and the consumption of electric current is extreme small. Of course, transistors of Pch and Nch can be changed by reversing this structure. In this case, the polarity of  $V_{DD}$  becomes reverse. In either case, it is necessary to select the structure according to the electric potential constitution of the system.  $C_i$  also has a merit of being formed in a small area because it does not have a direct current leak pass. As stated above, a panel with the extreme low consumption of electric current can be constituted in a small area by the present invention. Besides, the threshold voltage of the CMOS inverter is almost half of power source voltage, is able to respond to change of  $C_i$ , and the stability of operation can be realized.

#### 4. A brief explanation of Figures

Figure 1 shows an equivalent circuit of one portion of a liquid crystal display device wherein the conventional FET is arranged in matrix shape.

Figure 2 shows an equivalent circuit of one portion of a liquid crystal display device by an embodiment of the present invention.

Figure 3 shows an equivalent circuit of one portion of a liquid crystal display device by the other embodiment of the present invention.

1 ..... liquid crystal dot

$C_i$  ..... gate capacity

$T_{11}$  ..... field-effect transistor (transfer gate)

$T_{12}$  ..... field-effect transistor (inverter)

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

3402278

Basic Patent (No,Kind,Date): JP 56059291 A2 810522 <No. of Patents: 001>

LIQUID CRYSTAL DISPLAY UNIT (English)

Patent Assignee: MATSUSHITA ELECTRIC IND CO LTD

Author (Inventor): ISHIHARA TAKESHI

IPC: \*G09G-003/36;

Language of Document: Japanese

Patent Family:

| Patent No          | Kind | Date   | Applic No   | Kind | Date           |
|--------------------|------|--------|-------------|------|----------------|
| <b>JP 56059291</b> | A2   | 810522 | JP 79135592 | A    | 791019 (BASIC) |

Priority Data (No,Kind,Date):

JP 79135592 A 791019